

(11)特許出願公開番号

特開2001-197368

(P2001-197368A)

(43)公開日 平成13年7月19日(2001.7.19)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 0 4 N	5/335	H 0 4 N	5/335 E
			U
H 0 1 L	27/146		1/028 A
	31/10	H 0 1 L	27/14 A
H 0 4 N	1/028		31/10 G
審査請求 未請求 請求項の数14 O L (全 5 頁)			

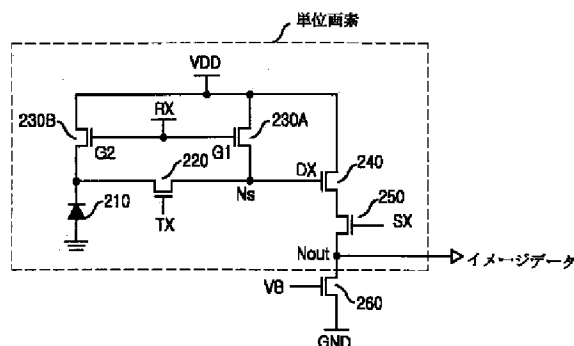
(21)出願番号	特願2000-322608(P2000-322608)	(71)出願人	591024111 現代電子産業株式会社 大韓民国京畿道利川市夫鉢邑牙美里山136-1
(22)出願日	平成12年10月23日(2000. 10. 23)	(72)発明者	李 在 勳 大韓民国京畿道利川市夫鉢邑牙美里山136-1
(31)優先権主張番号	1 9 9 9 - 4 6 0 5 5	(72)発明者	李 柱 日 大韓民国京畿道利川市夫鉢邑牙美里山136-1
(32)優先日	平成11年10月22日(1999. 10. 22)	(74)代理人	100065215 弁理士 三枝 英二 (外8名)
(33)優先権主張国	韓国 (K R)		

(54) 【発明の名称】 イメージセンサ

(57) 【要約】

【課題】 ブルーミング効果を抑制または防止することによって光感度を向上させることができるイメージセンサを提供すること。

【解決手段】 本発明のイメージセンサは、多数の単位画素を有しており、各単位画素は、入射光を感知して光電荷を生成する光感知手段210と、前記光電荷を感知ノードに伝送する伝送手段220と、前記光感知手段内に完全空乏領域を生成させ電源電圧を前記感知ノードに供給することにより前記感知ノードをリセットさせる第1リセット手段230Aと、前記感知ノードがリセットされる時に前記光感知手段に生成された過剰電荷を電源ラインに伝送する第2リセット手段230Bとを備えている。



【特許請求の範囲】

【請求項1】 多数の単位画素を有するイメージセンサにおいて、
各単位画素は、
入射光を感知して光電荷を生成する光感知手段と、
前記光電荷を感知ノードに伝送する伝送手段と、
前記光感知手段内に完全空乏領域を生成させ電源電圧を前記感知ノードに供給することにより、前記感知ノードをリセットさせる第1リセット手段と、
前記感知ノードがリセットされる時に前記光感知手段に生成された過剰電荷を電源ラインに伝送する第2リセット手段とを備えていることを特徴とするイメージセンサ。

【請求項2】 前記感知ノードの電圧レベルを増幅して、その増幅された信号を生成する増幅手段と、
スイッチング動作を遂行して前記増幅された信号を出力端に出力するスイッチング手段とをさらに備えていることを特徴とする請求項1に記載のイメージセンサ。

【請求項3】 前記伝送手段は、前記光感知手段と前記感知ノードとの間に連結されたものであることを特徴とする請求項1に記載のイメージセンサ。

【請求項4】 前記第1リセット手段は、前記感知ノードと前記電源ラインとの間に連結されたものであることを特徴とする請求項3に記載のイメージセンサ。

【請求項5】 前記第2リセット手段は、前記光感知手段と前記電源ラインとの間に連結されたものであることを特徴とする請求項4に記載のイメージセンサ。

【請求項6】 前記光感知手段は、フォトダイオードであることを特徴とする請求項5に記載のイメージセンサ。

【請求項7】 前記伝達手段は、nMOSトランジスタであることを特徴とする請求項6に記載のイメージセンサ。

【請求項8】 前記第1及び第2リセット手段は、nMOSトランジスタであることを特徴とする請求項7に記載のイメージセンサ。

【請求項9】 前記第2リセット手段のしきい電圧が前記第1リセット手段のしきい電圧より低いことを特徴とする請求項8に記載のイメージセンサ。

【請求項10】 前記フォトダイオードは、第1伝導型の半導体基板と、
前記第1伝導型の半導体基板上に形成された第2伝導型の第1ドーピング領域と、
該第1ドーピング領域上に形成された第1伝導型の第2ドーピング領域とを備えていることを特徴とする請求項9に記載のイメージセンサ。

【請求項11】 前記第2ドーピング領域のチャネル領域が、第1ドーピング領域と直接連結されていることを特徴とする請求項10に記載のイメージセンサ。

【請求項12】 前記第2ドーピング領域が、前記半導

体基板と接触していることを特徴とする請求項11に記載のイメージセンサ。

【請求項13】 前記第1伝導型がp型であり、前記第2伝導型がn型であることを特徴とする請求項12に記載のイメージセンサ。

【請求項14】 前記半導体基板は、前記半導体基板上に形成され、半導体基板の不純物濃度より低い不純物濃度を有するエピタキシャル層をさらに備えていることを特徴とする請求項10に記載のイメージセンサ。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、イメージセンサに関し、特に、ブルーミング効果を防止できる多数の単位画素を有するイメージセンサに関する。

【0002】

【従来の技術】周知のように、イメージセンサは、物体から反射される光を感知してイメージデータを生成する装置である。特に、CMOS(complementary metal oxide semiconductor)技術を利用して製造されたイメージセンサをCMOSイメージセンサという。

【0003】一般に、CMOSイメージセンサは、多数の単位画素を含んでおり、各単位画素は、一つの光感知素子と多数のトランジスタとからなる。フォトダイオードのような光感知素子は、物体から反射される入射光を感知して光電荷を蓄積し、トランジスタは蓄積された光電荷の伝送を制御する。

【0004】図1Aは、CMOSイメージセンサに含まれた従来の単位画素を示す回路図である。ここで、符号160は、単位画素の出力信号を安定化させる役割をする負荷トランジスタである。図1Bは、図1Aに示した従来の単位画素に対するレイアウトを示す図面である。

【0005】図示したように、従来の単位画素は、一つのフォトダイオード110と四つのnMOSトランジスタとからなる。四つのnMOSトランジスタは、それぞれ伝達トランジスタ120、リセットトランジスタ130、増幅トランジスタ140、及びスイッチングトランジスタ150の機能を備えている。

【0006】フォトダイオード110は、入射光を感知して光電荷を生成する。伝達トランジスタ120は、感知ノードNsに連結されており、伝達制御信号TXにตอบสนองして光電荷を感知ノードNsに伝達する。

【0007】リセットトランジスタ130は、感知ノードNsに連結されており、リセット制御信号にตอบสนองしてフォトダイオード110内に完全空乏領域を形成させ、リセット電圧を感知ノードに供給する。増幅トランジスタ140は、感知ノードNsの電圧レベルを増幅して増幅された信号(DX)を生成する。スイッチングトランジスタ150は、増幅トランジスタ140と出力端Noutとに連結されており、スイッチング制御信号SXにตอบสนองしてスイッチング動作をすることによって出力端Nou

10

20

30

40

50

tを介して増幅された信号をイメージデータとして出力する。

【0008】四つのnMOSトランジスタの中で、電荷伝達効率を向上させ、イメージデータの電圧損失または電圧降下を減少させるために、伝達トランジスタ120及びリセットトランジスタ130は、空乏モード(depletion mode)nMOSトランジスタまたは低いしきい電圧を有するネガティブnMOSトランジスタで具現されている。

【0009】かかる単位画素で、感知ノードNsをリセットさせる過程は、伝達トランジスタ120及びリセットトランジスタ130により行われるため、飽和領域で過剰電荷の経路は、伝達トランジスタ120及びリセットトランジスタ130から電源ラインVDDに形成されるべきである。従って、伝達トランジスタ120及びリセットトランジスタ130の電圧障壁に対する制御が極めて重要である。もし、伝達トランジスタ120とリセットトランジスタ130のいずれか一つでも正しく制御されなければ、過剰電荷は、隣接した単位画素に流れることになって誤動作を誘発することとなる。かかる現象をブルーミング効果(blooming effect)という。

【0010】ブルーミング効果によって、正確なイメージデータを獲得することが困難になり、CMOSイメージセンサの光感度を低下させるという問題点がある。

【0011】

【発明が解決しようとする課題】本発明は、上述した問題点を解決するために案出されたものであり、ブルーミング効果を抑制または防止することにより、光感度を増大させることのできるイメージセンサを提供することによりその目的がある。

【0012】

【課題を解決するための手段】前記目的を達成するため、本発明のイメージセンサは、多数の単位画素を備えており、各単位画素が、入射光を感知して光電荷を生成する光感知手段と、前記光電荷を感知ノードに伝送する伝送手段と、前記光感知手段内に完全空乏領域を生成させ電源電圧を前記感知ノードに供給することにより該感知ノードをリセットさせる第1リセット手段と、前記感知ノードがリセットされる時に前記光感知手段に生成された過剰電荷を電源ラインに伝送する第2リセット手段とを備えていることを特徴としている。

【0013】

【発明の実施の形態】以下、本発明が属する技術分野における通常の知識を有する者が本発明を容易に実施できる程度に詳細に説明するため、本発明の好ましい実施の形態を、添付した図面を参照して説明する。

【0014】図2Aは、本発明に係るCMOSイメージセンサに含まれている単位画素を示す回路図である。符号260は、単位画素の出力信号を安定化させるために用いられる負荷トランジスタを示す。図2Bは、図2A

に図示した単位画素のレイアウトを示す図面である。

【0015】図2Aを参照すれば、本発明に係る単位画素は、光感知素子として一つのフォトダイオード210と制御手段としての五つのnMOSトランジスタとからなる。五つのnMOSトランジスタとは、伝達トランジスタ220、第1リセットトランジスタ230A、第2リセットトランジスタ230B、増幅トランジスタ240、及びスイッチングトランジスタ250である。

【0016】フォトダイオード210は、入射光を感知して光電荷を生成する。伝達トランジスタ220は、フォトダイオード210と感知ノードNsとの間に連結されて、伝達制御信号TXに応答して光電荷を感知ノードNsに伝達する。

【0017】第1リセットトランジスタ230Aは、感知ノードNsと電源ラインVDDとの間に連結されて、リセット制御信号RXに応答してフォトダイオード210内に完全空乏領域を形成させ、リセット電圧を感知ノードNsに供給することにより、リセット動作を遂行する。

【0018】第2リセットトランジスタ230Bは、フォトダイオード210と電源ラインVDDとの間に連結されて、フォトダイオード210で生成された過剰電荷を電源ラインVDDに伝達する。この場合、第2リセットトランジスタ230Bのしきい電圧を、第1リセットトランジスタ230Aのしきい電圧より低く形成することによって、過剰電荷が電源ラインVDDに容易に伝達されるようにする。

【0019】増幅トランジスタ240は、感知ノードNsの電圧レベルを増幅して増幅された信号(DX)を生成する。スイッチングトランジスタ250は、増幅トランジスタ240と出力端Noutとの間に連結されて、スイッチング制御信号SXに応答してスイッチング動作をすることによって出力端Noutを介して増幅された信号をイメージデータで出力する。

【0020】図2Bに図示したように、第1リセットトランジスタ230AのゲートG1と第2リセットトランジスタ230BのゲートG2とは、同一の導電層に連結されている。

【0021】図3A及び図3Bは、それぞれ、図2Bに示したA'-A線とA''-A線により切断した断面図である。図3A及び図3Bを参照すれば、本発明に係るフォトダイオード210は、半導体基板301上にn型ドーピング領域302及びp型ドーピング領域303を順に形成することによって提供される。また、伝達トランジスタ220のように、第2リセットトランジスタ230Bのチャネル領域がフォトダイオード210のn型ドーピング領域302と直接的に連結されている。

【0022】半導体基板301は、p型基板上にp型エピタキシャル層を形成することによって提供されるのが好ましい。この場合、p型エピタキシャル層の不純物濃

度は、p型基板の不純物濃度より低くする。また、p型ドーピング領域303が半導体基板301と直接的に接触するように形成することによって、5Vまたは3.3ないし2.5Vの電源電圧でも、完全空乏領域がフォトダイオード内に形成されるようにすることができる。

【0023】図4は、リセット動作後の単位画素の電位を示す図面である。図面から分かるように、第2リセットトランジスタ230Bのしきい電圧が第1リセットトランジスタ230Aのしきい電圧より低いため、過剰電荷401が電源ラインVDDに容易に伝達されてブルーミング効果を防止でき、CMOSイメージセンサの光感度が向上する。

【0024】本発明の技術思想を上記好ましい実施例によって記述したが、請求項で限定した本発明の範囲内で、種々の変更、追加及び置換が可能であることは当業者において明白である。

【0025】

【発明の効果】本発明のイメージセンサは、従来の単位画素構造に一つのリセットトランジスタが追加されており、フォトダイオードが容易に完全空乏化され、またフォトダイオードで生成された過剰電荷の隣接単位画素への移動が抑制されるようになっている。そのために、光感度の向上を図ることができる。

*

*【図面の簡単な説明】

【図1A】 CMOSイメージセンサに含まれている従来の単位画素を示す回路図である。

【図1B】 図1Aに示した単位画素のレイアウトを示す図面である。

【図2A】 本発明に係るCMOSイメージセンサに含まれている単位画素を示す回路図である。

【図2B】 図2Aに示した単位画素のレイアウトを示す図面である。

10 【図3A】 図2BにおけるA'-A線断面図である。

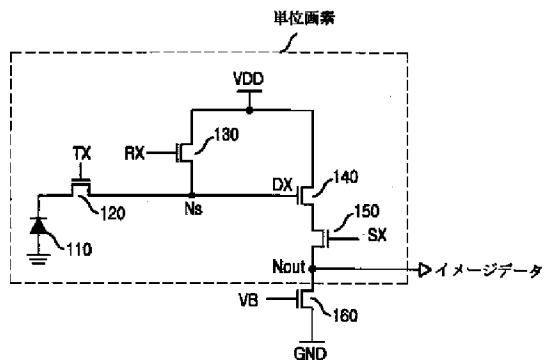
【図3B】 図2BにおけるA"-A線断面図である。

【図4】 リセット動作における、単位画素の電位を示す図面である。

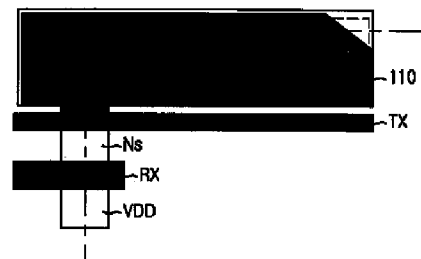
【符号の説明】

210	フォトダイオード
220	伝達トランジスタ
230A	第1リセットトランジスタ
230B	第2リセットトランジスタ
240	増幅トランジスタ
250	スイッチングトランジスタ
302	n型ドーピング領域
303	p型ドーピング領域

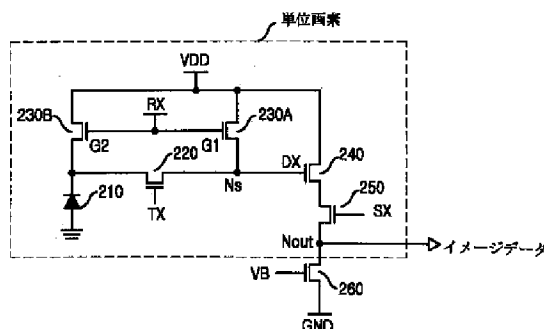
【図1A】



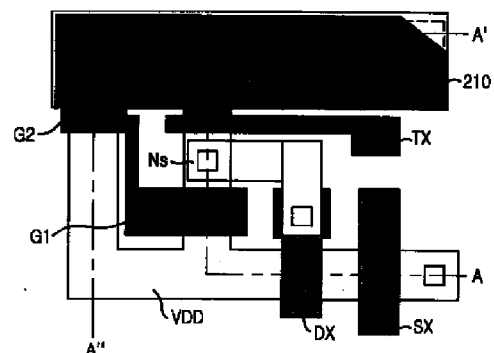
【図1B】



【図2A】



【図2B】



[illegible]

A cross-sectional view of a semiconductor device. The device features a substrate 301 with a ground connection GND. A layer 210 is formed on the substrate. A series of conductive layers (220, 230A, 230B, 240, 250) are stacked on top of each other, separated by insulating layers (302, 303). The top layer 250 is connected to a signal output Nout. The device includes a FOX layer on the left and right sides. A TX (transmission) line is connected to the top of the device, and an RX (reception) line is connected to the top of the device. The device is labeled with various components: 210, 220, 230A, 230B, 240, 250, 301, 302, 303, FOX, GND, Nout, RX, and TX.